

THE IEICE TRANSACTIONS ON FUNDAMENTALS OF ELECTRONICS, COMMUNICATIONS AND COMPUTER SCIENCES (JAPANESE EDITION)

IEICE | **電子情報通信学会**
A | **論文誌** 基礎・境界

VOL. J99-A NO. 8

AUGUST 2016

本PDFの扱いは、電子情報通信学会著作権規定に従うこと。
なお、本PDFは研究教育目的（非営利）に限り、著者が第三者に直接配布することができる。著者以外からの配布は禁じられている。

基礎・境界ソサイエティ

一般社団法人 **電子情報通信学会**

THE ENGINEERING SCIENCES SOCIETY

THE INSTITUTE OF ELECTRONICS, INFORMATION AND COMMUNICATION ENGINEERS

逐次比較量子化器とリングアンプを用いる $\Delta\Sigma$ AD 変調器潘 春暉[†] 傘 昊^{††a)}A $\Delta\Sigma$ AD Modulator with SAR Quantizer and Ring AmplifierChunhui PAN[†] and Hao SAN^{††a)}

あらまし 高精度 $\Delta\Sigma$ AD 変調器の実現のために、最も用いられるマルチビット・フィードフォワード構成に対し、更なる低消費電力の回路実現手法を提案する。電荷再配分型逐次比較 AD 変換器 (Successive Approximation Register Analog-to-Digital Converter: SAR ADC) を使用し、容量アレーとコンパレータ一つで、変調器内部のマルチビット量子化器回路とアナログ信号加算器回路を一括で実現した。更に、リングアンプを用いて積分器回路を実現し、より小面積・低消費電力で $\Delta\Sigma$ AD 変調器の実現を可能にした。SPICE によるシミュレーションで提案手法の実現可能性を確認した。

キーワード $\Delta\Sigma$ AD 変調器、スイッチド・キャパシタ回路、マルチビット、逐次比較 ADC、リングアンプ、スプリット・キャパシタ

1. ま え が き

ワイヤレス・センサ・ネットワーク等の分野では、低消費電力、高精度 AD 変調器が多用され、クラウドネットワークの独立なワイヤレス・センサー・ノードは常に低消費電力が要求されている。特に、生体情報計測、環境情報、対話型マルチメディアなどのアプリケーションにおいては、センサのインタフェースとして高精度アナログ-デジタル変換器 (ADC) 回路が必要とされている。電荷再配分型 SAR ADC はもっとも電力効率の高い ADC 実現手法としてよく知られているが、微細 CMOS プロセスにおける容量ミスマッチの影響で、高精度 ADC の実現が困難とされている [1]。一方、 $\Delta\Sigma$ AD 変調器は、オーバーサンプリングとノイズシェーピング手法で所望信号帯域内の量子化ノイズを低減し、微細 CMOS を用いる高精度 ADC の実現に適している。しかし、 $\Delta\Sigma$ AD 変調器内部では、オペアンプを用いる積分器が必須なので、変調器回路 (オ

ペアンプ) が高速で動作する場合、消費電力が大きくなってしまふ。スイッチド・キャパシタを用いて実現する離散時間 $\Delta\Sigma$ AD 変調器の精度は内部オペアンプの性能に大きく依存している。CMOS プロセスの微細化に伴い、高利得、低ひずみ特性をもつオペアンプの実現が更に難しくなり、消費電力も大きくなってしまふ傾向がある。

高精度 $\Delta\Sigma$ AD 変調器の消費電力を低減するために、フィードフォワード構成と内部量子化器をマルチビット化の手法はよく採用されている。フィードフォワード $\Delta\Sigma$ AD 変調器構成では、内部オペアンプ回路のひずみによる性能劣化を低減できるため、高精度 $\Delta\Sigma$ AD 変調器の構成としてよく用いられる [2]。また、変調器内部の量子化器をマルチビット構成で実現する場合、変調器ループ内の信号レベルは小さくなり、オペアンプの消費電力低減が可能となる [3]。しかし、マルチビット量子化器をもつフィードフォワード型 $\Delta\Sigma$ AD 変調器では、依然として、定常電流状態で動作するオペアンプ回路は必須であり、変調器内部のマルチビット量子化器を従来のフラッシュ型 ADC で実現する場合、抵抗ラダーに定常電流が流れるだけでなく、コンパレータの個数も多くなるため、量子化器の消費電力も大きくなってしまふ。

本研究では、マルチビット・フィードフォワード $\Delta\Sigma$ AD 変調器の更なる低消費電力の回路構成手法を

[†] 東京都市大学大学院工学研究科, 東京都 Graduate School of Engineering, Tokyo City University, 1-28-1 Tamazutsumi, Setagaya-ku, Tokyo, 158-8557 Japan

^{††} 東京都市大学情報通信工学科, 東京都 Department of Information and Communication Engineering, Tokyo City University, 1-28-1 Tamazutsumi, Setagaya-ku, Tokyo, 158-8557 Japan

a) E-mail: hsan@tcu.ac.jp

実現するために、従来方式のオペアンプではなく、定常電流を必要としないダイナミックアンプであるリングアンプ回路 [4], [5] を用いた積分器回路の実現手法を検討した. 更に、スプリット・キャパシタを用いる電荷再配分型 SAR ADC の新しい回路構成手法を提案し、容量アレーとコンパレータ回路一つで加算器回路とマルチビット量子化器を一括で実現させ、高精度 $\Delta\Sigma$ AD 変調器の更なる消費電力削減を図った. 提案する $\Delta\Sigma$ AD 変調器回路の実現可能性を示すために、TSMC 90nm CMOS プロセスを用いてトランジスタ・レベルの回路設計を行った. SPICE シミュレーション結果では、SNDR=80.84dB (OSR = 64) を達成できることを確認でき、電源電圧が 1.2V のときに、消費電力は 1.88mW である.

2. 提案 2 次 $\Delta\Sigma$ AD 変調器の構成

図 1 に提案する 2 次フィードフォワード $\Delta\Sigma$ AD 変調器のブロック図を示す. 二つの積分器, 加算器回路, マルチビット量子化器 (4bit ADC) 及びマルチビット (4bit) DAC によって構成される. 入力信号は $U(z)$, 内部 ADC の量子化器のノイズは $Q(z)$ のとき, 出力信号 $Y(z)$ が次の式のように表すことができる.

$$Y(z) = U(z) + (1 - z^{-1})^2 Q(z) \quad (1)$$

また, 1 段目積分器の入力信号 $E(z)$ は次の式で表すことができる.

$$E(z) = (1 - z^{-1})^2 Q(z) \quad (2)$$

式 (2) により, 入力信号及び 1 段目積分器の出力信号を量子化器入力ノードにフィードフォワードすることによって, 1 段目積分器回路には入力される信号 $E(z)$ は量子化誤差 $Q(z)$ 成分しかなく, 入力信号 $U(z)$ 積分器を含まないため, 積分器で処理する信号の振幅が小さくなる. 積分器内部のオペアンプ回路では, 線形

性の高い領域で信号の増幅を行うため, オペアンプ利得のひずみによる影響は軽減でき [2], 積分器内部で用いるオペアンプ回路の非線形性や直流利得に対する要求性能は大きく緩和できる. 更に, 変調器内部では, 1bit 量子化器ではなく, マルチビット量子化器を用いるので, 量子化誤差 $Q(z)$ の変動分が小さく, それに対応する 4bit DAC 出力の振幅変動も, 1 段目積分器入力 $E(z)$ の振幅変動も小さくなり, オペアンプに対するスルーレートの要求も緩和できる [3]. したがって, マルチビット・フィードフォワード $\Delta\Sigma$ AD 変調器では, 積分器回路で用いられるオペアンプ回路の大幅消費電力削減が可能となる.

$\Delta\Sigma$ AD 変調器内部, 量子化器回路 (4bit ADC) の入力ノードに注目すると, 入力信号及び 1 段目積分器の出力信号のフィードフォワードを実現するため, アナログ信号 INA, INB と INC の足し算を行う加算器回路が必要となる. オペアンプを用いて加算器回路を実現する場合, 回路規模が大きくなり, 消費電力も増えてしまう. また, マルチビット量子化器を 4bit フラッシュADC で実現する場合, 15 個のコンパレータ回路が必須で, コンパレータ回路の参照電圧を作り出す抵抗ラダーの追加も必要となる. 15 個のコンパレータ回路及び抵抗ラダーに定常電流が流れるため, 消費電力の削減が困難となる.

加算器回路と量子化器回路の消費電力低減のため, 図 1 に示す提案 $\Delta\Sigma$ AD 変調器の構成では, 電荷再配分型 SAR ADC をマルチビット量子化器とし, かつ, ADC の入力ノードには, 異なるアナログ信号 (入力信号 INA , 1 段目積分器の出力信号 INC , 2 段目積分器の出力信号 INB) と接続させ, 量子化器回路と加算器回路を容量アレーと 1 個コンパレータ回路で一括に実現し, マルチビット・フィードフォワード $\Delta\Sigma$ AD 変調器の更なる消費電力削減を図る. マルチビット量子化器回路と加算器回路を一括で実現する手法は既に提案されたが [6], 電荷再配分型 SAR ADC 内部の容量が大きく, チップ面積が大きくなる傾向があり, 大容量に対する充放電を行うので, 消費電力削減する余地がある. スプリット・キャパシタをもちいて, SAR ADC 内部容量小型化を実現する手法は提案されたが [1], 寄生容量による ADC 線形性の影響は大きいいため, デジタルキャリブレーション回路も必要となる. 一方, $\Delta\Sigma$ AD 変調器では, SAR ADC に対する線形性の要求が緩和されるので, 複雑なデジタルキャリブレーションは必要としない. 本論文では, スプリット・

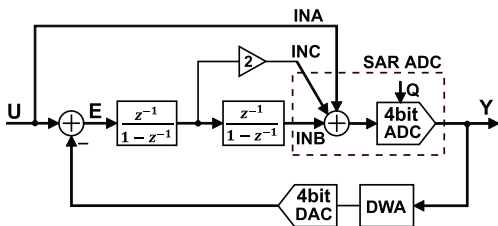


図 1 提案フィードフォワード $\Delta\Sigma$ AD 変調器
Fig. 1 Proposed feedforward $\Delta\Sigma$ AD modulator.

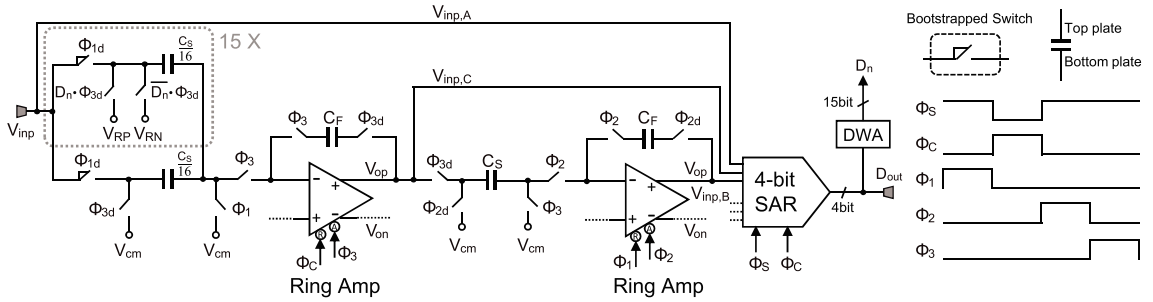


図2 提案 $\Delta\Sigma$ AD 変調器の回路構成
Fig.2 Circuit implementation of proposed $\Delta\Sigma$ AD modulator.

キャパシタを用いて、より小型の加算機能をもつ電荷再配分型 SAR ADC の新しい回路構成手法を提案し、非同期動作のダイナミック・コンパレータ回路も採用する。更に、積分器回路で使用するオペアンプ回路に着目し、定常電流を必要としないリングアンプ回路を用いる積分器回路を実現手法を提案し、 $\Delta\Sigma$ AD 変調器の消費電力削減を行う。

3. 提案 $\Delta\Sigma$ AD 変調器の回路設計

提案する $\Delta\Sigma$ AD 変調器の詳細回路は図2で示すように、二つスイッチド・キャパシタ積分器回路、4ビット電荷再配分型 SAR ADC とスイッチド・キャパシタ DAC 回路によって構成される。提案 $\Delta\Sigma$ AD 変調器は完全差動回路で設計されているが、ここではシングルエンド構成の回路図を示している。1段目積分器のサンプリング容量は16個のユニット容量によって構成され、その中15個ユニット容量はDAC容量として使用される。サンプリング容量の寄生容量による影響を軽減のため、入力信号が全てのユニット容量のボトムプレートにサンプリングされる。サンプリング・スイッチのオン抵抗の非線形の影響を軽減のため、ブットストラップ・スイッチが用いられる[7]。マルチビットDACのユニット容量値ミスマッチによって生じるDAC非線形誤差の影響を軽減のため、DWAロジック回路も用いられる[8]。

3.1 加算器機能を含む電荷再配分型 SAR ADC 回路

図3には提案した加算器機能を含む電荷再配分型 SAR ADC 回路図を示している。図1に示す信号INA, INB とINCはそれぞれ V_{inpA} , V_{inpB} と V_{inpC} 端子に接続し、各入力信号に接続される容量の比により、図1に示す信号経路の係数が実現される。

SAR ADC の動作は図4で示すように、二つの動

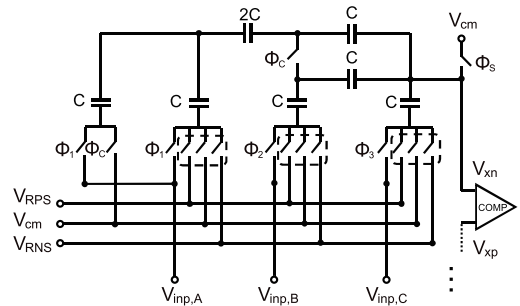


図3 提案電荷再配分型 SAR ADC の回路構成
Fig.3 Circuit implementation of proposed charge redistribution SAR ADC.

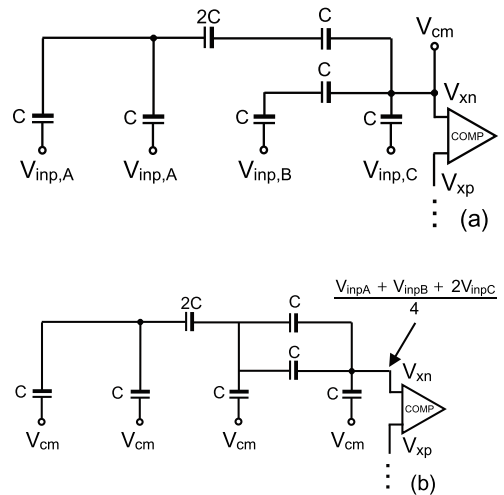


図4 電荷再配分型 SAR ADC の動作状態. (a) サンプリング・モード. (b) 加算と逐次比較モード
Fig.4 Operation of charge redistribution SAR ADC. (a) Sampling mode. (b) Summation and successive approximation mode.

作状態に分けられる。サンプリングモード図4(a)では、サンプリング容量のトッププレートは V_{cm} に接続し、三つのアナログ入力信号はそれぞれの容量のボト

ムプレートに接続し、各アナログ入力信号がサンプリングされる。 V_{inpA} 、 V_{inpB} と V_{inpC} 端子に接続される容量の比が 1 : 1 : 2 なので、容量にチャージされた総電荷量 Q は下記となる：

$$Q = \frac{1}{2}CV_{inp,A} + \frac{1}{2}CV_{inp,B} + CV_{inp,C} \quad (3)$$

加算モードでは、容量は図 4 (b) 示すようにに接続され、各サンプリング容量のボトムプレートも V_{cm} に接続される。コンパレータの入力端子から見る入力容量の和が $2C$ なので、電圧 V_{xn} は下記のように表せる。

$$V_{xn} = \frac{Q}{2C} = \frac{V_{inp,A} + V_{inp,B} + 2V_{inp,C}}{4} \quad (4)$$

式 (4) からわかるように前述の動作手法では、SAR ADC の入力容量に異なるアナログ入力信号をサンプリングした後、各容量の接続方式を変更する手法で、オペアンプ回路を使用せず、容量素子だけでアナログ信号の加算機能も実現できる。また、アナログ入力は加算された後、従来 SAR ADC と同様に、MSB から順次に 4bit の AD 変換が行われる。上述通り、サンプリング容量の接続方式を制御することにより、容量アレーとコンパレータ回路一つでマルチビット量子化器と加算器の回路を一括実現できる。

3.2 非同期ダイナミック・コンパレータ回路

図 5 には SAR ADC の中で用いられるコンパレータの回路を示す。差動入力信号 $Comp_inp$ と $Comp_inn$ の電圧レベル比較を行うときのみ、電流が流れるダイナミック・コンパレータ回路構成であり [9]、定常電流は必要としないため、従来式コンパレータに比べると低消費電力となる。ダイナミック・コンパレータ回路の動作は Φ_{COMP} によって制御される。 Φ_{COMP} が High のとき、コンパレータがリセットモードであり、

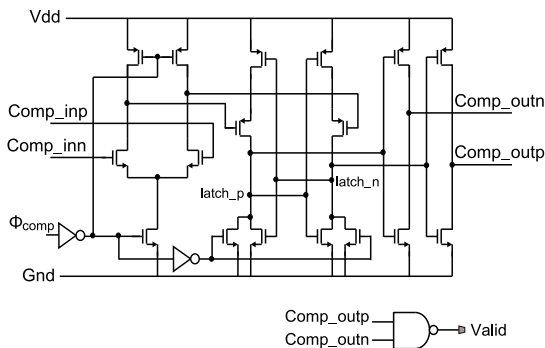


図 5 コンパレータ回路
Fig. 5 Schematic of the comparator.

出力 $Comp_outp$ と $Comp_outn$ が V_{DD} にリセットされる。 Φ_{COMP} が High から Low に変わるときに、コンパレータの入力端子 $Comp_inp$ と $Comp_inn$ の電圧比較を行った後、直ちにラッチモードとなり、判定結果が端子 $Comp_outp$ と $Comp_outn$ から出力される。従来式同期動作 SAR ADC では、同期 CLK 信号が Φ_{COMP} として使用され [1]、AD の変換が行われる。MSB の AD 変換では長い比較時間が必要のため、それに合わせて、CLK 周期が決められ、SAR ADC の動作速度が低下してしまう。提案回路では、コンパレータの出力端子に NAND 回路を追加し、アナログ入力電圧の比較判定完了状態を自動的に感知する機能をもたせた。AD 変換終了を示す Valid 信号に基づき、次のコンパレータの動作が開始する Φ_{COMP} が作成され、非同期動作の SAR ADC を実現させた。コンパレータの出力端子が NAND 回路に入力し、コンパレータの判定が終了すると、NAND 回路の出力 Valid 信号が High と出力される。非同期 SAR ロジック回路 [10] のトリガ信号となる。アナログ入力に対する逐次 AD 変換の非同期動作を実現させ、従来の同期動作 SAR ADC に比べ、AD 変換の動作時間が短縮でき、より高速の AD 変換を実現できる。

3.3 リングアンプを用いた積分器回路

$\Delta\Sigma$ AD 変調器において、積分器を実現のためのオペアンプ回路は最も重要な構成ブロックである。オペアンプ内部で定常電流が流れるため、 $\Delta\Sigma$ AD 変調器の全体消費電力に占める割合はもっとも高い回路構成ブロックでもある。リングアンプを用いたスイッチド・キャパシタ MDAC 回路は提案され [4]、パイプライン ADC 回路の消費電力削減効果が実証されたが、我々はリングアンプを用いた積分器回路を提案し、 $\Delta\Sigma$ AD 変調器に適用することで、消費電力削減できる回路実現方式を検討した。

図 6 (a) にはリングアンプ回路、図 6 (b) にはリングアンプを用いた提案積分器の実現回路を示す。リングアンプは 3 段インバータ回路によって構成されるリングオシレータ発振回路と類似するが、3 段目インバータ回路の入力では、それぞれバイアス電圧が生成され、異なるオフセット電圧が出力段の MOS トランジスタ M_{CP} と M_{CN} の入力に印加される。 M_{CP} と M_{CN} のゲート電圧が異なり、同時にオンする時間はなく、 M_{CP} と M_{CN} は共に電流が流れないデッドゾーンが生じる。容量によって構成されたフィードバックループに組み込まれたリングアンプ回路では、入力信号は

素早くコモン電位に整定されるため、出力信号もこのデッドゾーンの範囲内に収まり、発振することなく、オペアンプ回路と同様に増幅機能を実現できる。リングアンプ回路には、電流源などの定常電流回路はないため、オペアンプ回路に比べ、消費電力の大幅削減が可能となる。リングアンプの回路構成は簡単で、回路素子に対する精度要求は大きく緩和できるため、微細化のプロセスに適した回路構成となる。

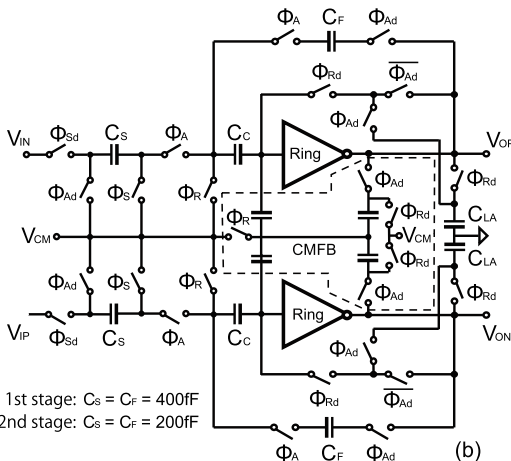
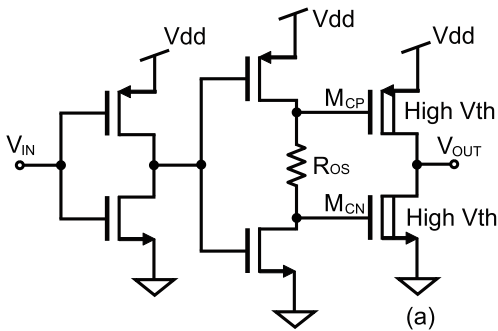
リングアンプ回路を用いて実現した積分器回路は図 6 (b) に示すように、二つシングルエンドのリングアンプを使用し、差動信号を処理できる擬似差動構成の積分器となる。\$C_S\$ がサンプリング容量で、\$C_F\$ が積分容量である。リングアンプによって実現する積分器の入力オフセットをキャンセルするために、容量 \$C_C\$

をリングアンプの入力端子に追加した [5]。CMFB 回路はパッシブ容量とスイッチによって構成される。リングアンプを用いた積分器回路の動作は二つのモードである。\$\phi_S\$ と \$\phi_R\$ が High, \$\phi_A\$ が Low のとき、積分器の \$C_S\$ に入力信号サンプリングされると同時に、リングアンプの出力は \$C_{LA}\$ に接続し、\$V_{cm}\$ にリセットされ、アンプの入力オフセット電圧は \$C_C\$ にサンプリングされる。\$\phi_S\$ と \$\phi_R\$ が Low, \$\phi_A\$ が High のとき、容量 \$C_C\$ のトッププレートがアンプの仮想グランド点となり、\$C_S\$ に溜まった電荷を \$C_F\$ に転送され、積分器として動作する。図 6 (a) に示すリングアンプの出力端子に接続するトランジスタは飽和領域にバイアスする必要もないため、出力信号の範囲は電源 \$V_{dd}\$ と Gnd の間で rail-to-rail の変動が許容される。したがって、リングアンプ回路で実現した積分器に接続する DAC 回路に対し、参照電圧を追加する必要はなく、\$V_{dd}\$ と Gnd を使用して積分器を実現できる。積分器出力信号のダイナミックレンジが高いため、より高い SNDR 変調器の実現が可能となる。

4. 提案 \$\Delta\Sigma\$ AD 変調器のシミュレーション結果

TSMC 90nm CMOS プロセスを用いて、提案するマルチビット・フィードフォワード \$\Delta\Sigma\$ AD 変調器の回路設計を行った。図 1 に示すように、リングアンプを用いて積分器回路を実現し、2 段のスイッチド・キャパシタ積分器回路で 2 次変調器を設計した。4 ビット電荷再配分型 SAR ADC で量子化器と加算器回路を一括に実現した。DAC は 16 個の容量によって構成された。マルチビット DAC の容量ミスマッチによって生じる非線形性の影響を軽減するために、DWA ロジック回路も設計した [8]。

設計したリングアンプ回路の性能評価を行うために、図 7 (a) に示す回路を用いて、\$V_{offset} = V_{dd}/2\$ にバイアスされた状態で [11]、表 1 にシミュレーション条件及び回路パラメータで HSPICE によるリング



1st stage: \$C_S = C_F = 400\text{fF}\$
2nd stage: \$C_S = C_F = 200\text{fF}\$

図 6 リングアンプを用いた積分器回路。(a) リングアンプ。(b) リングアンプを用いた擬似差動積分器回路

Fig. 6 Ring amplifier based integrator. (a) Ring amplifier. (b) Pseudo-differential ring amplifier based integrator.

表 1 リングアンプの AC 解析シミュレーション条件
Table 1 Simulation parameters of ring amplifier.

Technology	TSMC 90nm CMOS
Supply voltage	1.2V
\$V_{offset}\$	0.6V
\$R_1\$	10G\$\Omega\$
\$C_1\$	1pF
\$C_2\$	1uF

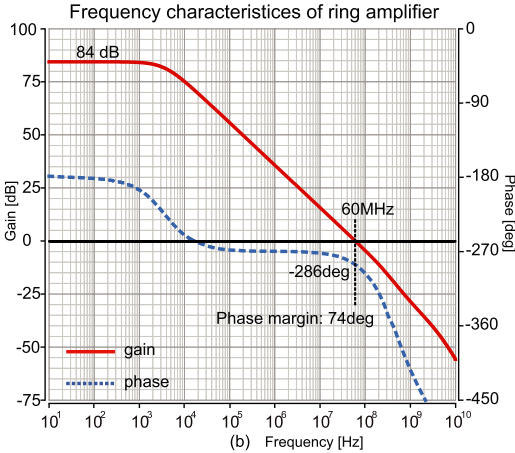
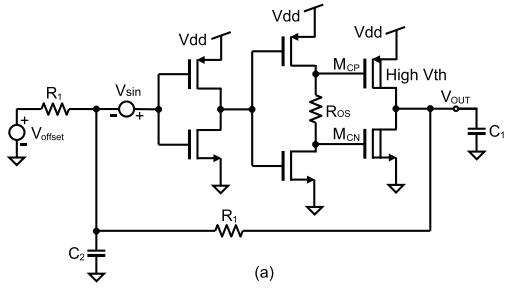


図 7 リングアンプの AC 解析. (a) AC 解析回路. (b) 周波数特性
 Fig. 7 AC analysis of ring amplifier. (a) Simulation circuit. (b) Frequency characteristics of ring amplifier.

アンプの AC 解析を行った. 図 7 (b) にはリングアンプの周波数特性のシミュレーション結果を示している. 直流利得が 84dB で, 位相余裕が 74 度であることを確認できた. また, リングアンプの線形性を示すために, 閉ループ利得が 1 倍のサンプル・ホールド回路を設計し, $[-1.2V \sim 1.2V]$ 範囲の差動ランプ波入力条件で SPICE を用いるトランジェント解析を行った. ランプ波出力の両端を基準に理想直線を引き, 出力波形と理想直線の誤差をリングアンプの非直線性誤差とした. 図 8 にはリングアンプの直線性誤差の SPICE シミュレーション結果を示している. 入力信号が $[-1.2V \sim 1.2V]$ の広範囲においても, リングアンプ非直線性誤差の最大値は $[-0.008\% \sim 0.008\%]$ であり, 13bit 精度以上の直線性をもつ事を示した.

提案した $\Delta\Sigma$ AD 変調器の動作と性能を確認するために, 設計した変調器回路の HSPICE によるシミュレーションで検証を行った. 電源電圧が 1.2V 時, 設

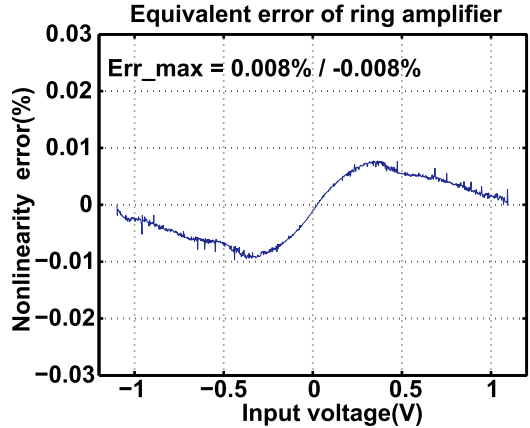


図 8 リングアンプの非直線性誤差
 Fig. 8 Nonlinearity error of ring amplifier.

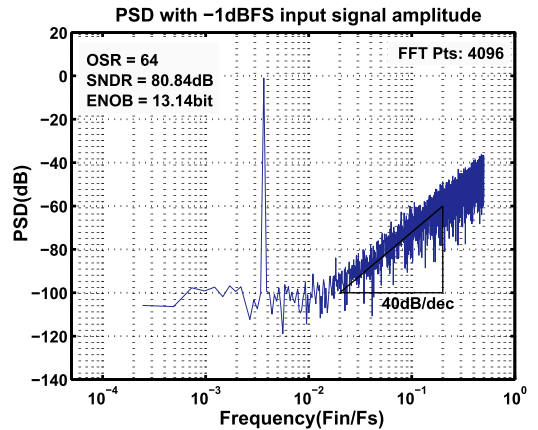


図 9 提案 $\Delta\Sigma$ AD 変調器出力パワー・スペクトルのシミュレーション結果
 Fig. 9 Power spectrum of simulated $\Delta\Sigma$ modulator.

計した $\Delta\Sigma$ AD 変調器の出力のパワー・スペクトルのシミュレーション結果は図 9 に示している. 量子化ノイズが 40dB/dec でシェーピングされ, 2次 $\Delta\Sigma$ 変調は実現されていることを示している. また, 信号帯域には大きな高調波成分もなく, リングアンプ及び積分器回路の直線性は大きく劣化していないことが分かる. 変調器の出力レートが 50Ms/s, 信号帯域が 390kHz, OSR=64 の場合, 設計した $\Delta\Sigma$ AD 変調器は SNDR=80.84dB を達成し, 電源電圧が 1.2V では, 消費電力は 1.88mW である. シミュレーションの詳細条件と結果は表 2 にまとめている.

表 2 SPICE シミュレーション条件と結果

Table 2 Simulated performance and comparison with previous works.

Specification	Bilhan [12]	Rajae [13]	This work
Technology (nm)	90	180	90
Supply voltage (V)	1.2	1.2	1.2
Sampling rate (MS/s)	60	25	50
OSR	15	8	64
Signal BW (MHz)	2	1.56	0.39
SNR (dB)	56	N/A	N/A
SNDR (dB)	N/A	75	80.84
Power (mW)	1.56	2.6(A) 3.75(D)	1.88(A) 0.53(D)
FOMW (pJ/conv.-step)	0.75	0.44	0.34
FOMS (dB)	147.1	158.9	162.9
Active area (mm ²)	N/A	3.79	N/A

5. む す び

電荷再配分型逐次比較 ADC の入力方式を制御することにより、加算器回路と量子化器回路を一括で実現できるマルチビット・フィードフォワード $\Delta\Sigma$ AD 変調器の新しい回路実現手法を提案した。また、リングアンプを用いた擬似差動積分器回路の実現手法を提案した。ダイナミック・オペアンプとダイナミック・コンパレータ構成で実現した $\Delta\Sigma$ AD 変調器回路の詳細設計を行った。SPICE シミュレーション結果より、電源電圧 1.2V では、提案 $\Delta\Sigma$ AD 変調器は SNDR=80.84dB を達成したことを確認できた。

謝辞 本研究は JSPS 科研費基盤研究 (C) 25420345 の助成を受けたものである。本研究は東京大学大規模集積システム設計教育研究センターを通しケイデンス株式会社の協力で行われたものである。

文 献

- [1] M. Yoshioka, K. Ishikawa, T. Takayama, and S. Tsukamoto, "A 10-b 50MS/s 820mW SAR ADC with on-chip digital calibration," *IEEE Trans. Biomed. Circuits Syst.*, vol.4, no.6, pp.410–416, Dec. 2010. doi: 10.1109/TBCAS.2010.2081362
- [2] J. Silva, U. Moon, J. Steensgaard, and G.C. Temes, "Wideband low-distortion delta-sigma ADC topology," *Electron. Lett.*, vol.37, no.12, pp.737–738, June 2001. doi:10.1049/el:20010542
- [3] R. Schreier and G. Temes, *Understanding Delta-Sigma Data Converters*, Wiley-IEEE Press, 2004.
- [4] B. Hershberg, S. Weaver, K. Sobue, S. Takeuchi, K. Hamashita, and U.-K. Moon, "Ring amplifiers for switched capacitor circuits," *IEEE J. Solid-State Circuits*, vol.47, no.12, pp.2928–2942, Dec. 2012. doi:10.1109/JSSC.2012.2217865
- [5] Y. Lim and M. Flynn, "A 100 MS/s, 10.5 bit, 2.46 mW comparator-less pipeline ADC using self-biased ring amplifiers," *IEEE ISSCC 2014 Dig of Tech. Papers*, pp.202–203, Feb. 2014. doi: 10.1109/ISSCC.2014.6757400
- [6] Y. Park, T. Kwon, K. Cho, Y. Kwak, G. Ahn, C. Shin, M. Lee, S. You, and H. Park, "A 1.1 V 82.3dB audio $\Delta\Sigma$ ADC using asynchronous SAR type quantizer," 2012 19th IEEE International Conference on Electronics, Circuits and Systems (ICECS 2012), pp.637–640, Dec. 2012. doi:10.1109/ICECS.2012.6463555.
- [7] A.M. Abo and P.R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *J. Solid-State Circuits*, vol.34, no.5, pp.599–606, May 1999.
- [8] T. Kuo, K. Chen, and H. Yeng, "A wideband CMOS sigma-delta modulator with incremental data weighted averaging," *IEEE J. Solid-State Circuits*, vol.37, no.1, pp.11–17, Jan. 2002. doi:10.1109/4.974541
- [9] M. Elzakker, E. Tuijil, P. Geraedts, D. Schinkel, E. Klumperink, and B. Nauta, "A 1.9 μ W 4.4fJ/conversion-step 10b 1MS/s charge-redistribution ADC," *IEEE ISSCC 2008, Dig. Tech. Papers*, pp.244–245, Feb. 2008. doi:10.1109/ISSCC.2008.4523148
- [10] I. Chao, C. Hou, B. Liu, S. Chang, and C. Huang, "A single opamp third-order low-distortion delta-sigma modulator with SAR quantizer embedded passive adder," *IEICE Trans. Electron.*, vol.E97-C no.6, pp.526–537, June 2014. doi:10.1587/transele.E97.C.526
- [11] 佐久間大揮, 松浦達治, 兵庫 明, 松野準也, "レベルシフトを用いた高速リングアンプの提案," *電気学会・電子回路研究会資料*, ECT-016-014, pp.73–78, Jan. 2016.
- [12] E. Bilhan and F. Maloberti, "A wideband sigma-delta modulator with cross-coupled two-paths," *IEEE Trans. Circuits Syst. I*, vol.56, no.5, pp.886–893, May 2009.
- [13] O. Rajae, S. Takeuchi, M. Aniya, K. Hamashita, and U. Moon, "Low-OSR over-ranging hybrid ADC incorporating noise-shaped two-step quantizer," *IEEE J. Solid-State Circuits*, vol.46, no.11, pp.2458–2468, Nov. 2011. (平成 27 年 10 月 18 日受付, 28 年 2 月 16 日再受付)

潘 春暉



2016 東京都市大学大学院工学研究科修士課程了。現在、博士後期課程在学中。アナログ集積回路設計に興味を持つ。



傘 昊 (正員)

2000 群馬大学大学院工学研究科修士課程了. 2004 同大学院博士課程了. 同年群馬大・工助手, 2007 同大学院工学研究科助教, 2009 から東京都市大学准教授. 混載信号処理集積回路設計に関する研究に従事. 2005 回路とシステム(軽井沢)ワークショップ奨励賞受賞. IEEE, IEEJ 会員.